Le *Grafcet* synchrone pour la conception de circuits

Maurice Diamantini[1] .... diam@ensta.fr

Jean-Luc Scharbarg[2] .... scharbar@univ-brest.fr

Lionel Marcé[2] .... marce@univ-brest.fr

[1] *École Nationale Supérieure de Techniques Avancées*

Paris .... tél : 01 45 52 54 91

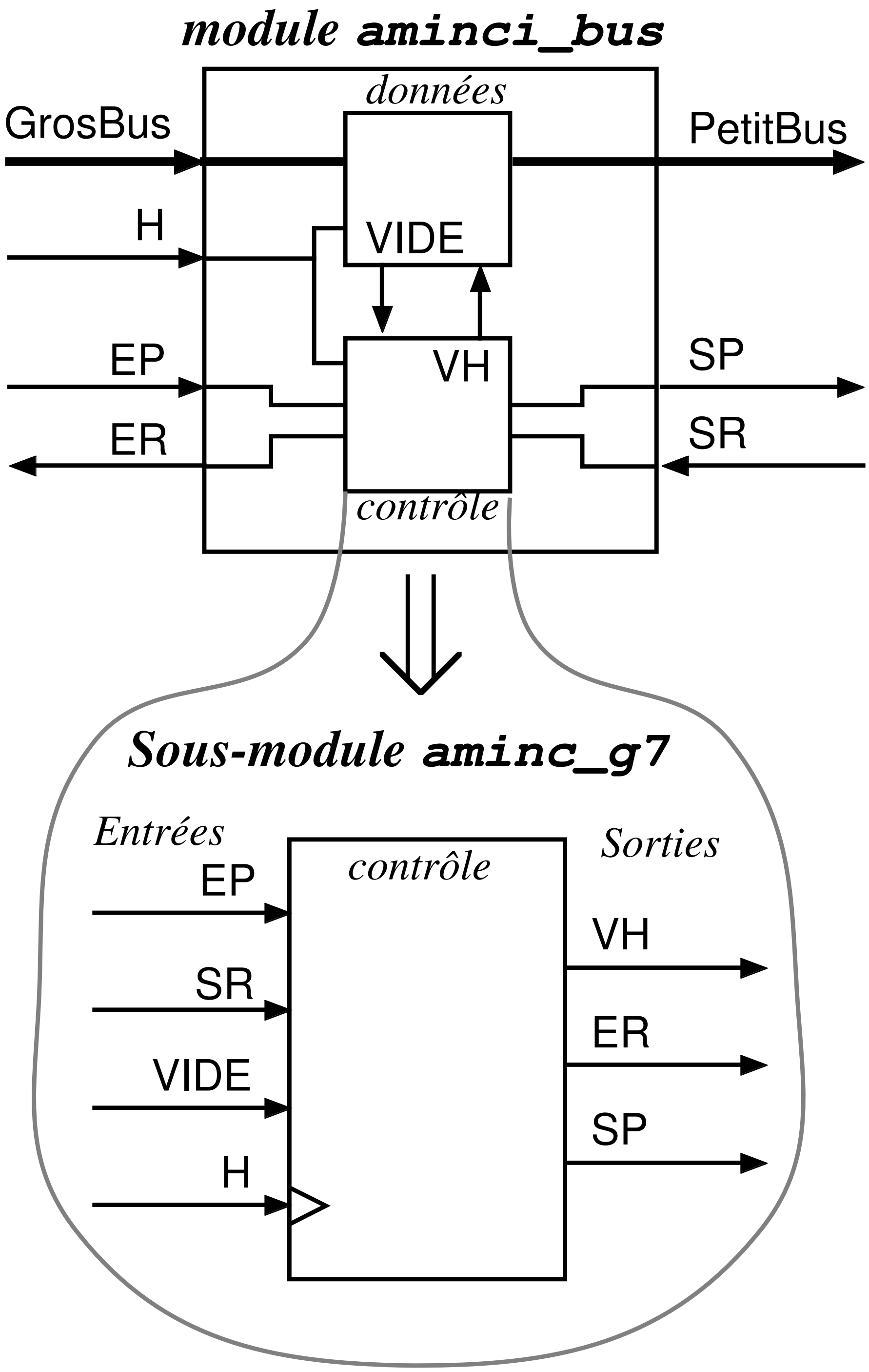
[2] *Univ. de Bretagne Occidentale, Départ. d'Informatique*

Brest .... tél : 02 98 01 69 57

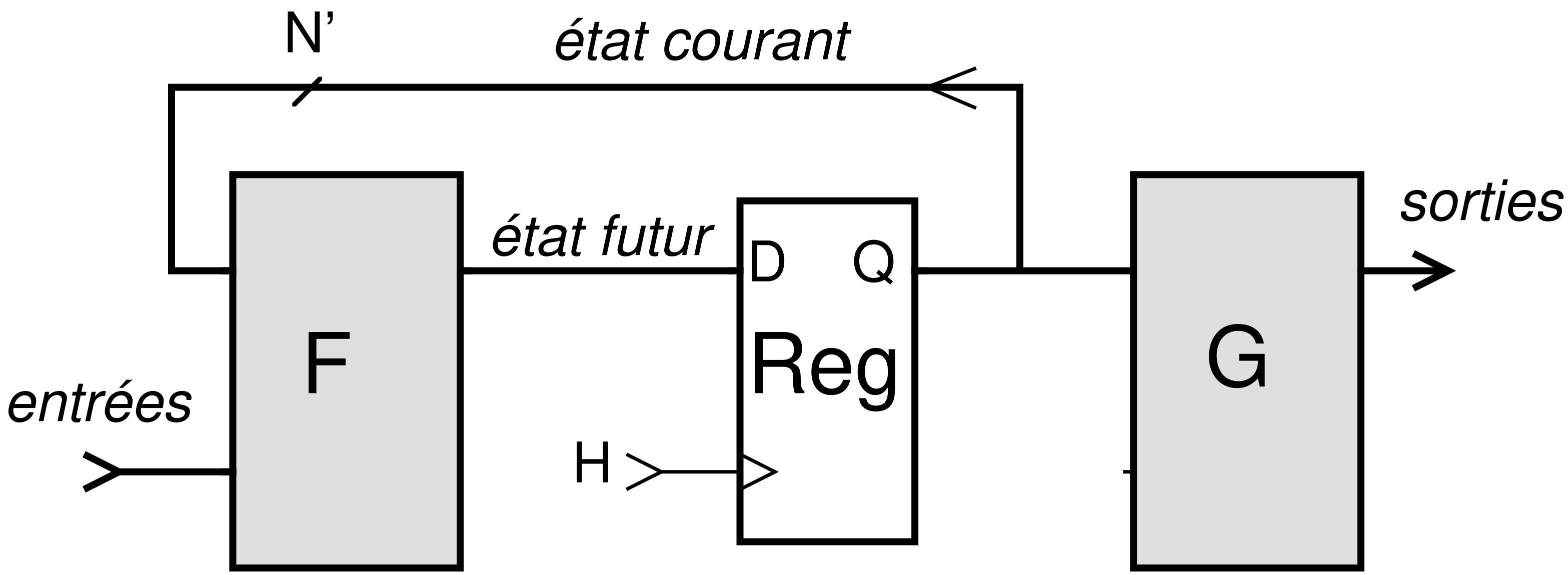
Plan

- présentation de l'exemple support
- machine de Moore et types d'encodage
- spécification en grafcet
- Machine d'états équivalente du grafcet
- langage pivot (*Signal*)
- Conclusion et persectives

Exemple support : module `aminci_bus`



Machine de Moore et encodage

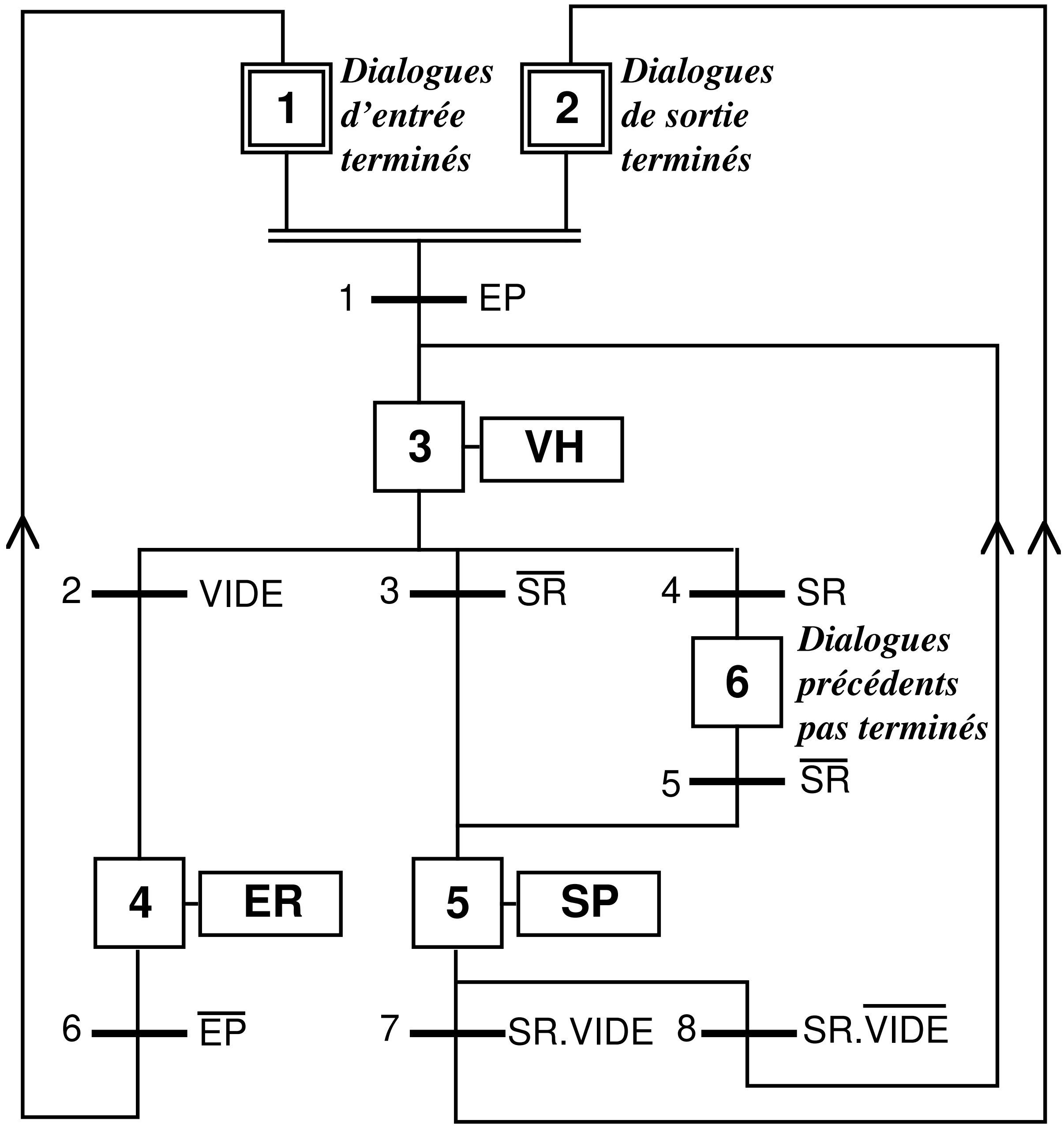


On a $\underline{N \text{ états}}$ encodés par $\underline{N' \text{ bascules}}$ avec :

$$\lceil \log_2 N \rceil \leq N' \leq N$$

(suivant l'encodage)

Présentation de *Grafcet*

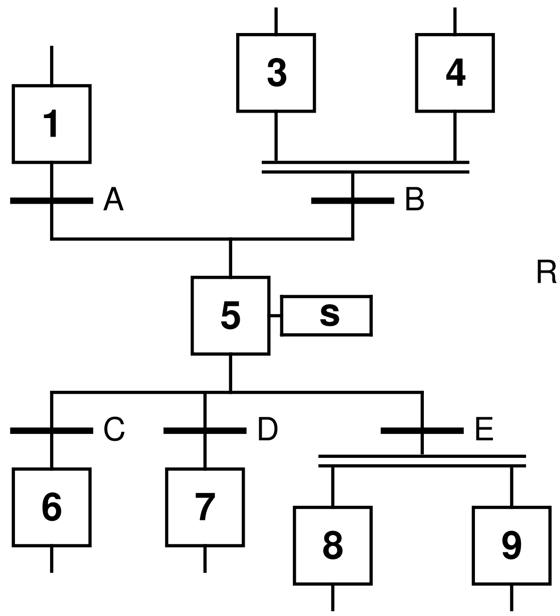


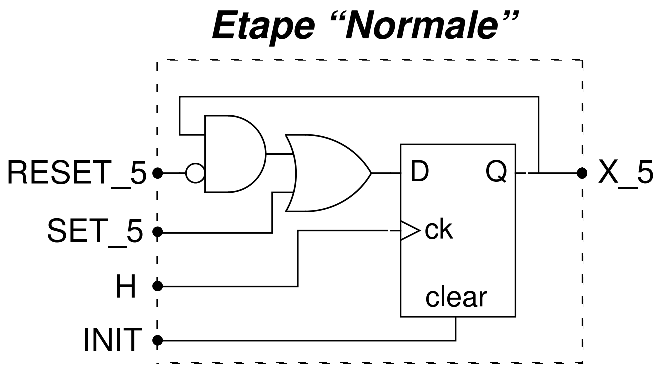
Exemple de sortie : $VH = X_3$

Réalisation d'une étape "normale"

Hyp : Toute transition est implicitement conditionnée par un même signal $\uparrow H$

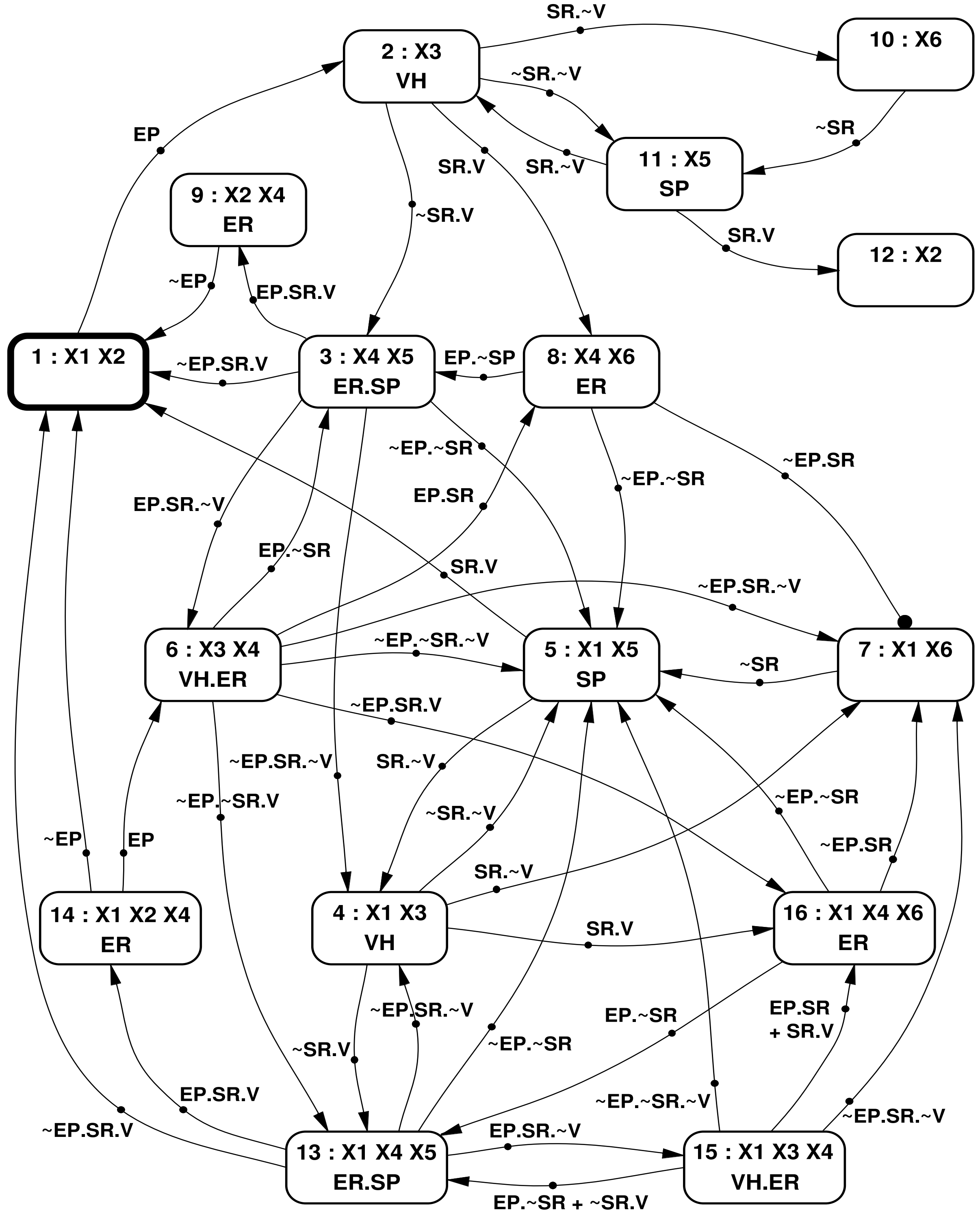
alors une étape est réalisable par une bascule RS synchrone avec set prioritaire



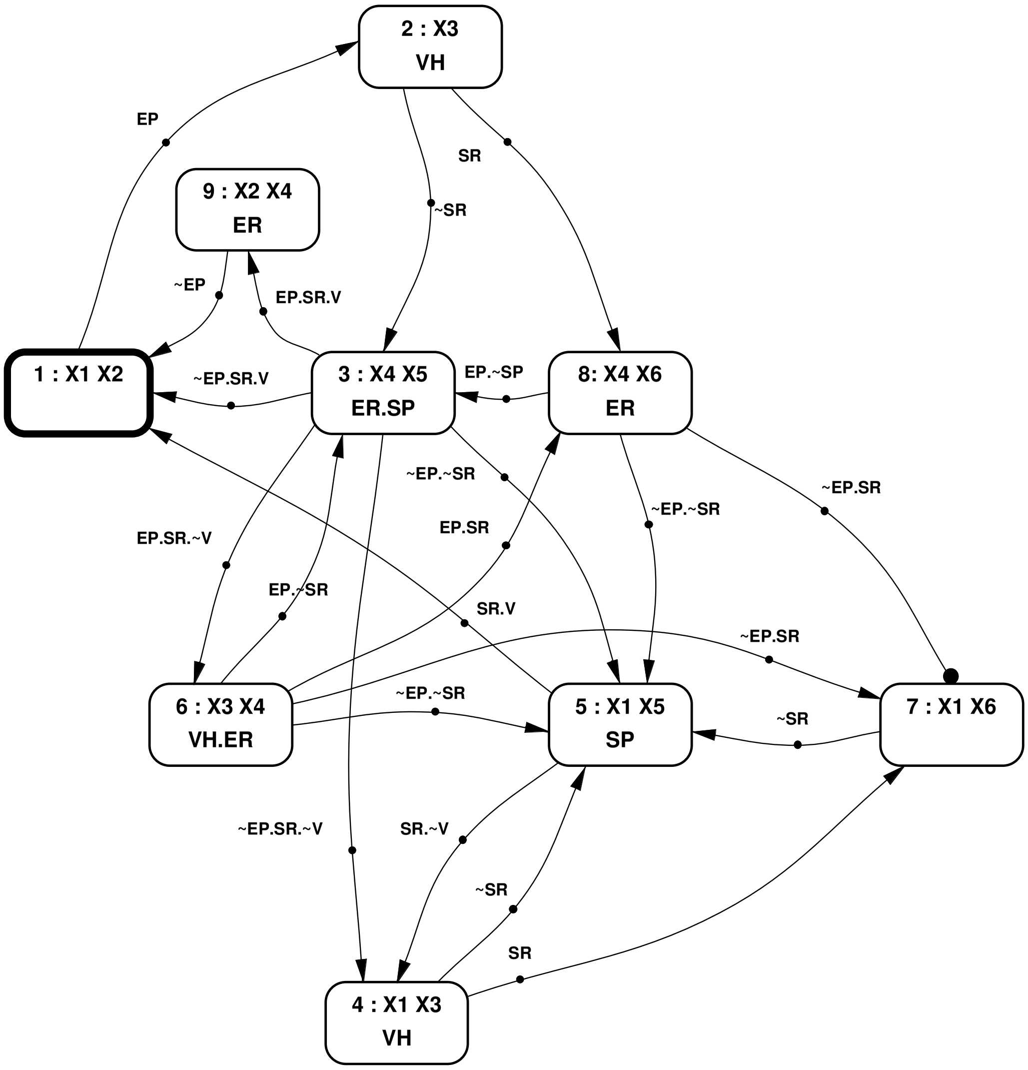


$$\begin{cases} SET_{X_5} & = & A.X_1 + B.X_3.X_4 \\ RESET_{X_5} & = & C + D + E \end{cases}$$

Automate équivalent au grafcet



Automate équivalent réduit



Exemple de sortie : $VH = S_2 + S_4 + S_6$

Du *Grafcet* à *Signal*

- sémantique du *Grafcet* informelle,
- besoin de validation du fonctionnement,
- vérif. de sureté, résistance aux panne...

⇒ passer par langage pivot *Signal* : langage synchrone de type flot de données

$$\begin{aligned} X_i &= \sum_{k=1}^{p} \mathcal{F}(T_k(E_i)) \quad \text{or} \\ & \quad X_i\$1 \text{ and } \text{ not } \sum_{j=1}^{m} \mathcal{F}((E_i)T_j) \end{aligned}$$

$$\text{avec :} \quad \mathcal{F}(T_l) = R_l \text{ and } \prod_{q=1}^{r} X_q(T_l)\$1$$

Exemple de sortie :

$$\begin{aligned} VH = X_3 &= EP \text{ and } X_1\$1 \text{ and } X_2\$1 \quad \text{or} \\ & \quad SR \text{ and } \overline{V} \text{ and } X_5\$1 \end{aligned}$$

Conclusion

- Avantage du *Grafcet* en électronique synchrone,
  - niveau spécification,
  - parallélisme,
  - encodage plus pertinant,
- Exemple de séquenceur : carte traitement d'images (FPGA de XILINX)
  - 14 entrées, 33 sorties,
  - 51 étapes, 47 CLBs
- Besoin de validation $\Longrightarrow$ importance d'une sémantique formelle (*Signal*, automates temporisés, ...)

Perspectives

- choisir un modèle formel pivot,
- étendre à l'ensemble du modèle *Grafcet* (Automates Programmable à base de FPGA,
- automatisation par le développement d'un morceau de chaîne de CAO.

$\boxed{\textit{Grafcet}} \longrightarrow \boxed{\textit{Signal}} \longrightarrow \boxed{\text{VHDL}} \longrightarrow \boxed{\text{schéma}}$